

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-118567

(43)Date of publication of application : 29.05.1987

(51)Int.Cl.

H01L 27/10
G11C 11/34

(21)Application number : 60-257655

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 19.11.1985

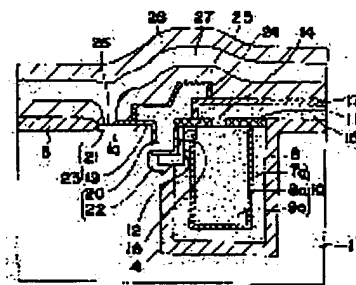
(72)Inventor : INO MASAYOSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a semiconductor device provided with a high density dynamic semiconductor memory cell, which implements high capacity with a small occupying area, by embedding a cell capacitor in a trench, which is provided in the vicinity of an active region, through an insulating isolation film, forming a large part of a transfer Tr at the side wall part of the cell capacitor, and the like.

CONSTITUTION: A cell capacitor 10 is embedded in a first trench 4, which is provided in a silicon substrate 1, through an insulating isolation film 6 in the vicinity of an active region 1a. A second trench 12 is formed so that is is placed at least in the silicon substrate 1 along a region from the edge part of the active region 1a to the side wall part of the cell capacitor 10, which is adjacent to said edge part. Conductive polysilicon is buried in the trench 12 and a contact part is formed. In a third trench 18, which is formed at the side wall part of the cell capacitor 10, the most parts of a gate electrode 20 of a transfer gate transistor 23 and a gate insulating film 19 are formed. Thus, the memory cell can be formed in a small occupying area. The surface of the laminated films of an intermediate insulating film 25, a metal wiring layer 27, a passivation film 28 and the like is flattened. Therefore, breakdown at a step part can be suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-118567

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)5月29日

H 01 L 27/10
G 11 C 11/34

7735-5F

審査請求 未請求 発明の数 2 (全11頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 昭60-257655

⑯ 出 願 昭60(1985)11月19日

⑰ 発 明 者 伊 野 昌 義 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑲ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 1トランジスタ1キャパシタ型の半導体メモリ素子を有する半導体装置において、アクティブ領域に近接してシリコン基板内に形成した第1のトレンチ内にセルゲート絶縁膜を外面部の第1のセル電極及び内部の第2のセル電極とで挟間し絶縁分離膜を介して埋置されると共にその上面部に第1のコンタクトホールを穿つた第1の絶縁膜が形成されたセルキャパシタと、上記アクティブ領域の縁部からこれに近接するセルキャパシタ側縁部に渡る領域において絶縁分離膜及び第1のセル電極にかかり、少なくともシリコン基板に入るよう形成されると共に上方部に第3のトレンチが配された第2のトレンチ内に導電性ポリシリコンを埋め込んで成るコンタクト部と、上記セルキャパシタ側の上面部において第1のコンタクトホールを介して第2のセル電極に接続されると共に表面

部に第2の絶縁膜の形成された電極配線層と、上記第2のトレンチからアクティブ領域に渡る領域において一部シリコン基板に入るよう形成された上記第3のトレンチとこれに接するアクティブ領域縁部との面部に連続して形成されたゲート絶縁膜、このゲート絶縁膜上部を覆い上記電極配線層上に延在するよう形成されたゲート電極、及びアクティブ領域に形成された第1の拡散層と上記コンタクト部からの不純物拡散によりシリコン基板との界面部に形成された第2の拡散層とを含んで構成されるトランスファゲートトランジスタと、以下常法により形成されたゲート電極及び第1の拡散層保護用の第3の絶縁膜、中間絶縁膜、第1の拡散層上に穿たれた第2のコンタクトホールを介して上記トランスファゲートトランジスタと接続される金属配線層、及びパッシベーション膜とを含む事の特徴とする半導体装置。

(2) 1トランジスタ1キャパシタ型の半導体メモリ素子を有する半導体装置の製造方法において、

(a) アクティブ領域に近接してシリコン基板内

に第1のトレンチを形成し、次にこの全面を覆うように絶縁分離膜を形成し、その面上に第1のセル電極用の第1の導電性ポリシリコン、及びセルゲート用絶縁膜を順次形成し、更に第2のセル電極用の第2の導電性ポリシリコンを埋め込む工程、

(b)上記絶縁分離膜形成後の試料表面を露出させると共に上記第1のトレンチ上部を平坦化する事により第1のトレンチ内に第1のセル電極、セルゲート絶縁膜及び第2のセル電極とで構成されるセルキャパシタを埋置形成し、その後このセルキャパシタの上面部に第1の絶縁膜を形成する工程、

(c)上記アクティブ領域の縁部からこれに近接するセルキャパシタ側壁部の第1のセル電極に渡る領域において、少なくともシリコン基板内に入るように第2のトレンチを形成し、その後これに第3の導電性ポリシリコンを埋め込み平坦化する工程、

(d)上記第1の絶縁膜に第1のコンタクトホールを穿つと共にセルキャパシタ側の上面部への第

4の導電性ポリシリコンの積層及びパターンニングにより上記第1のコンタクトホールを介して第2のセル電極と接続する電極配線層を形成し、その後この表面部に第2の絶縁膜を形成する工程、

(e)上記アクティブ領域の縁部からこれに接する第2のトレンチに渡る領域において、少なくともシリコン基板内に入り且つ第3の導電性ポリシリコンがシリコン基板と接する部分を有するコンタクト部を残すようにして第3のトレンチを形成し、その後アクティブ領域縁部及びこの第3のトレンチの面部に連続してトランスファゲートトランジスタのセルゲート絶縁膜を形成する工程、

(f)第5の導電性ポリシリコンで第3のトレンチを埋め込み、その後一端が少なくともアクティブ領域上のゲート絶縁膜にかかると共に他端が電極配線層上部に延在するように上記第5の導電性ポリシリコンをパターンニングしてゲート電極を形成する工程、

(g)上記アクティブ領域に第1の拡散層を形成し、その後コンタクト部からの不純物拡散により

3

シリコン基板との界面部に第2の拡散層を形成する工程、

(h)常法により、ゲート電極及び第1の拡散層保護用の第3の絶縁膜、中間絶縁膜、第1の拡散層上の第2のコンタクトホール、トランスファゲートトランジスタとの接続用の金属配線層及びパッシベーション膜を順次形成する工程とを含む事を特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置及びその製造方法に関し、特に1トランジスタ1キャパシタ型(以後、1Tr/1C型と略称する)ダイナミック半導体及びその製造方法に係る。

〔従来の技術〕

半導体メモリ素子において、1素子型の所謂1Tr/1C型ダイナミック半導体メモリセルは構成が簡単な為、高密度化を図る上で有効である。ところで高密度化する上で、シュリンク(比例縮小)に伴うセルキャパシタ C_s の減少は、 S/N 比

4

の低下や α 線によるソフトエラー等の問題を招く事から、これを回避する為により小さい平面占有面積で高い容量を維持する各種の提案がなされている。

第1の提案としては、例えば特公昭59-130430号公報に示されるように、セルゲート絶縁膜にシリコン窒化膜(Si_3N_4 , 比誘電率; 6~8)などの高誘電体膜を用いる方法がある。また第2の提案としては、例えば特公昭58-10864号公報に示されるスタックドセルに関するものがある。更に、セルキャパシタを基板表面に形成された溝内に形成する例として、特公昭58-56266号公報に示される第3の提案がある。

以下、第2図に基き上記スタックドセルの製造方法を説明する。まず同図(a)に示す如く、P型の半導体基板1上に素子分離用のフィールド酸化膜2を形成し、次にトランスファゲートトランジスタ(以後、トランスファTrと略称する)のゲート絶縁膜3、ゲート電極4、及びワード線5を夫々形成した後、 N^+ 型の第1及び第2の拡散層6a、6bを形成する。次に同図(b)の如く、層間絶縁膜

7を形成した後、周知のホトリソ技術によりセルキャパシタとの接続用の第1のコンタクトホール8を形成する。

その後同図(c)の如く、セル下部電極9を形成し上記第2の拡散層6-bとの接続を行う。そして同図(d)に示す如く、周知のホトリソ技術によりセルゲート絶縁膜10及びセル上部電極11とを順次形成する。また、これによりセルキャパシタが構成される。次いで同図(e)のように、中間絶縁膜12を形成した後、ホトリソ技術によりビット線14との接続用の第2のコンタクトホール13を形成し、その後ビット線14を形成する。

〔発明が解決しようとする問題点〕

しかしながら、上述したセル構造では高密度化を達成する上で、小面積、大容量のセルキャパシタを得る事が困難だという問題がある。

以下、この点について第3図を基に説明する。図中 L_1 はセルキャパシタ形成可能領域の幅寸法を示し、上記構造ではこの寸法を広げる事には限界がある。即ち図中左端では、ビット線14との結

7

従つて本発明は、以上述べたようにセル占有面積を一定にした場合のセルキャパシタの容量を増加する事が困難であるという問題を解消し、小占有面積で大容量化を実現する高密度ダイナミック半導体メモリセルを具備した半導体装置及びその製造方法を提供する事を目的とする。

〔問題点を解決するための手段〕

特許請求の範囲記載の第1の発明の半導体装置は、アクティブ領域に近接してシリコン基板内に形成した第1のトレンチ内にセルゲート絶縁膜を外表面部の第1のセル電極及び内部の第2のセル電極とで挟間し、絶縁分離膜を介して埋置されると共に、その上面部に第1のコンタクトホールを穿つた第1の絶縁膜が形成されたセルキャパシタと、上記アクティブ領域の縁部からこれに近接するセルキャパシタ側壁部に設けられる領域において絶縁分離膜及び第1のセル電極にかかり、少なくともシリコン基板に入るよう形成されると共に上方部に第3のトレンチが配された第2のトレンチ内に導電性ポリシリコンを埋め込んで成るコンタクト部と、

9

線用の第2のコンタクトホール13のエッジ部との距離 L_2 において、これを1 μm ルールでのマスクズレ余裕0.5 μm 、及びゲート電極4を覆う層間絶縁膜7とビット線14との耐圧で決まる厚膜0.2 μm を加算した距離0.7 μm より狭める事はできない。

また右端は、ワード線5のエッジ部と折り返しセルのワード線5-aとの距離 L_3 は、ビット線等の段切れを抑制する為の最小寸法として1.0 μm 程度を要し、この為右方への拡張も制限される。なお図中、第2図との相当箇所には同一符号を付してある。

上述したような両端部における制約があるので、セル占有面積を一定にしてセルキャパシタの容量増加を図る為には、三次元的効果を生かしゲート電極4及びワード線5を厚くしてそれらの側面部でセルゲート絶縁膜10の面積を増加しようとする。ビット線14との接続用の第2のコンタクトホール13の段差が大きくなり、ビット線14に段切れが生じその形成が困難となる。

8

上記セルキャパシタ側の上面部において第1のコンタクトホールを介して第2のセル電極に接続されると共に表面部に第2の絶縁膜の形成された電極配線層と、上記第2のトレンチからアクティブ領域にまたがると共に一部シリコン基板に入るよう形成された上記第3のトレンチとこれに接するアクティブ領域縁部との面部に連続して形成されたゲート絶縁膜、このゲート絶縁膜上部を覆い上記電極配線層上に延在するよう形成されたゲート電極、及びアクティブ領域に形成された第1の拡散層と上記コンタクト部からの不純物拡散によりシリコン基板との界面部に形成された第2の拡散層とを含んで構成されるトランスファゲートトランジスタと、以下常法により形成されたゲート電極及び第1の拡散層保護用の第3の絶縁膜、中間絶縁膜、第1の拡散層上に穿たれた第2のコンタクトホールを介して上記トランスファゲートトランジスタと接続される金属配線層、及びパッシベーション膜とを含んで成るものである。

特許請求の範囲記載の第2の発明は上記第1の

発明の半導体装置を製造する方法であつて、

(a) アクティブ領域に近接してシリコン基板内に第1のトレンチを形成し、次にこれの全面を掘りように絶縁分離膜を形成し、その面上に第1のセル電極用の第1の導電性ポリシリコン、及びセルゲート用絶縁膜を順次形成し、更に第2のセル電極用の第2の導電性ポリシリコンを埋め込む工程、

(b) 原試料表面を露出させると共に上記第1のトレンチ上部を平坦化する事により第1のトレンチ内に第1のセル電極、セルゲート絶縁膜及び第2のセル電極とで構成されるセルキャパシタを埋置形成し、その後、このセルキャパシタの上面部に第1の絶縁膜を形成する工程、

(c) 上記アクティブ領域の縁部からこれに近接するセルキャパシタ側壁部の第1のセル電極に渡る領域において、少なくともシリコン基板内に入るように第2のトレンチを形成し、その後これに第3の導電性ポリシリコンを埋め込み平坦化する工程、

(d) 上記第1の絶縁膜に第1のコンタクトホール

を穿つと共にセルキャパシタ側の上面部への第4の導電性ポリシリコンの積層及びパターンニングにより上記第1のコンタクトホールを介して第2のセル電極と接続する電極配線層を形成し、その後この表面部に第2の絶縁膜を形成する工程、

(e) 上記アクティブ領域の縁部からこれに接する第2のトレンチに渡る領域において、少なくともシリコン基板内に入り且つ第3の導電性ポリシリコンがシリコン基板と接する部分を有するコンタクト部を残すようにして第3のトレンチを形成し、その後アクティブ領域縁部及びこの第3のトレンチ面上に連続してトランスファゲートトランジスタのセルゲート絶縁膜を形成する工程、

(f) 第5の導電性ポリシリコンで第3のトレンチを埋め込み、その後一端が少なくともアクティブ領域上のゲート絶縁膜にかかると共に他端が電極配線層上部に延在するよう上記第5の導電性ポリシリコンをパターンニングしてゲート電極を形成する工程、

(g) 上記アクティブ領域に第1の拡散層を形成し、

11

その後コンタクト部からの不純物拡散によりシリコン基板との界面部に第2の拡散層を形成する工程、

(h) 常法により、ゲート電極及び第1の拡散層保護用の第3の絶縁膜、中間絶縁膜、第1の拡散層上の第2のコンタクトホール、トランスファゲートトランジスタとの接続用の金属配線層及びパッシベーション膜を順次形成する工程

とを含むものである。

〔作用〕

以上のように本発明によれば、セルキャパシタをアクティブ領域に近接して設けられた第1のトレンチ内に絶縁分離膜を介して埋置し、表面を平坦化する為、表面に段差が生ずる事なく、しかも一定の占有面積で主に深さ方向において容量の増大を図る事ができる。

また、アクティブ領域縁部からこれに近接するセルキャパシタ側壁部に渡る領域にて少なくともシリコン基板内に入るよう形成された第2のトレンチ内に導電性ポリシリコンを埋め込みコンタク

ト部を形成する為、このコンタクト部を介してトランスファTrとセルキャパシタとが隣接して接続される。

さらに、同セルキャパシタ側壁部に形成された第3のトレンチにゲート電極、ゲート絶縁膜の大部分を形成する為、第2の拡散層と併わせてトランスファTrのチャネルの大部分はセルキャパシタ側壁部に形成される事となり、同様に表面での占有面積を小さくする事ができる。

また更に、上述したようにトランスファTrの大部分及びセルキャパシタをシリコン基板内に埋め込む為、上層の中間絶縁膜、金属配線層及びパッシベーション膜等の表面部は平坦化される。

〔実施例〕

以下第1図(f)に基いて、第1の発明である半導体装置の一実施例を詳細に説明する。なお、同図は1Tr/1C型ダイナミック半導体素子の要部断面を示している。

同図において、1はP型のシリコン基板、5は素子間を絶縁分離するフィールド酸化膜(SiO_2)

12

である。また10はセルキャパシタで、アクティブ領域1aに近接して形成された深さ2~6 μm 、縦横の幅寸法0.5~3 μm 程度の第1のトレンチ4内に埋置されている。

上記セルキャパシタ10は図示する如く、導電性ポリシリコン(N型)から成る断面凹状の第1のセル電極7a、及びシリコン窒化膜(Si_3N_4)から成る同断面形状のセルゲート絶縁膜8a、それに導電性ポリシリコン(N型)を埋め込みして形成される第2のセル電極9aとにより構成されている。さらにセルキャパシタ10の上面部は、これを保護するシリコン酸化膜(SiO_2)から成る第1の絶縁膜11が形成されており、この第1の絶縁膜11に開孔された第1のコンタクトホール14を介して上記第2のセル電極9aと導電性ポリシリコン(N型)から成る上部の電極配線層15とが接続される。また電極配線層15の表面部はこれを保護する為の第2の絶縁膜(SiO_2)17が形成されている。

そして、セルキャパシタ10のアクティブ領域

15

極20の表面部とは、これらを保護する為の第3の絶縁膜(SiO_2)24が堆積して形成されている。

このようにトランスファTr23は、シリコン基板1、ゲート絶縁膜19、ゲート電極20、第1及び第2の拡散層21、22を主構成とし、アクティブ領域1aから縦方向形成領域、即ちセルキャパシタ10側壁部へと曲折して小占有面積を以て形成される。

更に25は中間絶縁膜で、27はAlから成る金属配線層(ビット線)であり第2のコンタクトホール26を介して第1の拡散層21と接続される。そして、28は素子保護用のパッシベーション膜である。

次に第1図に基き、第2の発明である上記半導体装置の製造方法について詳細に説明する。まず同図(a)に示す如く、P型シリコン基板1のアクティブ領域1a上に、100~500 \AA の薄いパッシベーション膜(SiO_2)2と500~2000 \AA のシリコン窒化膜(Si_3N_4)から成る耐酸化性被膜3とを順次積層形成する。次に同図(b)のように、通

17

1a側の側壁部には、絶縁分離膜6と第1のセル電極7aとにかかると共に少なくともシリコン基板1内に入るように形成された深さ1.0 μm 程度の第2のトレンチ12内に導電性ポリシリコン(N^+ 型)を埋め込む事によりセルキャパシタ10と下述するトランスファTr23とを接続する N^+ 型のコンタクト部13aが形成されている。

また19はゲート絶縁膜(SiO_2)で、アクティブ領域1aの縁部と、第2のトレンチ12上において一部シリコン基板1にかかると共に形成されたより小寸法の第3のトレンチ18の面部とに連続して形成されている。そして20は導電性ポリシリコン(N型)から成るゲート電極であり、上記ゲート絶縁膜19上部を覆うと共に、電極配線層15上部に延在するよう形成されている。

また、21はイオン打ち込みにより形成された第1の拡散層(N^+ 型)であり、22は例えば熱処理でコンタクト部13aからの不純物拡散により形成された第2の拡散層(N^+ 型)である。そして、上記第1の拡散層21の一部上面と上記ゲート電

16

のリソグラフィーとドライエッチング技術を用いて、シリコン基板1の上記領域1aの一端に隣接させて第1のトレンチ4を形成する。なお、この第1のトレンチ4の寸法は、深さ2~6 μm 、縦横の幅寸法を0.5~3 μm 程度とする。その後、アクティブ領域1a以外のシリコン基板1の全面に、これと異導電型の不純物を打ち込みチャネルストップ領域(図示せず)を形成する。

次いで同図(c)のように全面酸化を施す。これにより、フィールド酸化膜(SiO_2)5及び第1のトレンチ4の全内面を覆う絶縁分離膜(SiO_2)6が1000~7000 \AA 形成される。なおこの工程において、フィールド酸化膜5と絶縁分離膜6とを個別に形成し、それらを異なる膜厚に形成する事もできる。例えば同図(a)に示す工程の後、直ちにフィールド酸化膜5を形成し、しかる後同図(b)に示す工程を経て第1のトレンチ4内に絶縁分離膜6を形成する。

この後同図(d)に示す如く、全面に第1の導電性ポリシリコン(N型)7を1000~5000 \AA

18

被着し、その上に例えばシリコン窒化膜 (Si_3N_4) またはシリコン酸化膜 (SiO_2) またはそれらの複合膜から成るセルゲート用絶縁膜 8 を 50 ~ 500 Å 被着し、更に第 1 のトレンチ 4 を埋め込むと共に上面部をも被覆する第 2 の導電性ポリシリコン (N 型) 9 を形成する。なお上記第 2 の導電性ポリシリコン 9 の平面部での膜厚は、第 1 のトレンチ 4 の幅、及び絶縁分離膜 6、第 1 の導電性ポリシリコン 7、セルゲート用絶縁膜 8 の各膜厚で決まる。例えば第 1 のトレンチ 4 の幅が $1.5 \mu\text{m}$ 、絶縁分離膜 6 が $0.5 \mu\text{m}$ 、第 1 の導電性ポリシリコン 7 が $0.3 \mu\text{m}$ 、セルゲート用絶縁膜 8 が 100 Å ($0.01 \mu\text{m}$) の場合、残った第 1 のトレンチ 4 の幅は $1.5 - 2 \times (\frac{0.5}{2} + 0.3 + 0.1) = 0.38 \mu\text{m}$ となる。従つて、これを埋め込むためには第 2 の導電性ポリシリコン 9 の平面部の膜厚は $\frac{0.38}{2} = 0.19 \mu\text{m}$ 以上あれば良い。

次に同図 (a) に示す如く、RIE 法を用いて第 2 の導電性ポリシリコン 9、セルゲート用絶縁膜 8 及び第 1 の導電性ポリシリコン 7 を順次エツチン

グし、第 2 のセル電極 9 a、セルゲート絶縁膜 8 a 及び第 1 のセル電極 7 a を夫々形成する。

そして、これら第 1 のセル電極 7 a、セルゲート絶縁膜 8 a 及び第 2 のセル電極 9 a によりセルキャパシタ 10 が構成される。またこの合、トレンチ部上面が例えばフィールド酸化膜 5 の上面と略一致し且つ上記セルキャパシタ 10 の各構成要素がトレンチ部内にてのみ形成されるようにする。更に上記エツチング工程は、所謂エツチバック方法として広く知られるもので平坦化の為の工程であり、第 1 及び第 2 の導電性ポリシリコン 7、9 と材料的に異なるセルゲート用絶縁膜 8 は、同一ガス組成または異なるガス組成のエツチングガスを用いる事により同一チャンバ内でエツチング処理する事ができる。その後、全面酸化によりトレンチ部上面にセルキャパシタ 10 保護用の第 1 の絶縁膜 (SiO_2) 11 を 300 ~ 3000 Å 形成する。

次にセルキャパシタ 10 とトランスファ Tr 23 の一端をつなぐコンタクト部 13 a を形成する為

19

に、前記アクティブ領域 1 a の一端、及び絶縁分離膜 6 と第 1 のセル電極 7 a の各側壁部とにかかると共にセルゲート絶縁膜 8 a を残し、且つ少なくともシリコン基板 1 内に入るようにして第 2 のトレンチ 12 を形成した状態が同図 (f) である。この第 2 のトレンチ 12 の深さは、セルキャパシタ 10 とトランスファ Tr 23 とのコンタクト部 13 a の縦幅とトランスファ Tr 23 のチャネル長を加えた深さレベルであり、例えばコンタクト部 13 の縦幅を $0.5 \mu\text{m}$ 、チャネル長を $0.5 \mu\text{m}$ とすれば $1.0 \mu\text{m}$ で良い。

またこの第 2 のトレンチ 12 の形成は、通常のホトリソ技術を用いて行い。即ち、ホトレジスト工程で所定の開口部を有するレジストマスク (図示せず) を形成し、次にこのレジストマスクを介して絶縁分離膜 (SiO_2) 6 を主体的にエツチングする RIE 法により、上記第 2 のトレンチ 12 を形成する。この際、シリコン基板 1 や第 1 のセル電極 7 a は殆んどエツチングされないで、厚い絶縁分離膜 6 のみを選択的にエツチングする事が

20

できる。例えば、絶縁分離膜 6 の膜厚を $0.5 \mu\text{m}$ とすれば、第 2 のトレンチ 12 は略 $0.5 \mu\text{m}$ 幅となる。

その後、前述した第 1 のトレンチ 4 埋め込みと同様の工程 (同図 (d), (e) の工程) により、第 3 の導電性ポリシリコン (N⁺ 型) 13 を第 2 のトレンチ 12 に埋め込み、次いでエツチバック処理をしたのが同図 (g) である。なお、第 3 の導電性ポリシリコン 13 の膜厚は第 2 のトレンチ 12 の幅寸法で決まり、例えば $0.5 \mu\text{m}$ 幅であれば $\frac{0.5}{2} = 0.25 \mu\text{m}$ 以上の膜厚に被着する事により埋め込みが可能となる。

続いて同図 (h) に示す如く、セルキャパシタ 10 の第 2 のセル電極 9 a と電極配線層 15 間を接続する為の第 1 のコンタクトホール 14 を通常のホトリソ技術を用いて形成する。次に、第 4 の導電性ポリシリコン (N 型) を被着し、ホトリソ技術によりパターニングを施し電極配線層 15 を形成する。次いで全面酸化する事により、第 3 の導電性ポリシリコン 13 及び電極配線層 15 上に、酸

化膜 (SiO_2) 16, 17 を夫々形成する。なお上記酸化膜 17 は、電極配層 15 保護用の第 2 の絶縁膜を成するもので、個別に形成する事もできる。

次に同図(i)に示すように、第 2 のトレンチ 12 のアクティブ領域 1a 側にまたがった第 3 のトレンチ 18 を、前述した第 1 のトレンチ 4 と同様の方法 (同図(b)の工程) で形成する。この時、トランスファ Tr 23 のセルキャパシタ 10 とのコンタクト部 (N^+ 型) 13a の分を第 2 のトレンチ 12 の底部上に残した深さで形成する。更に、パッド酸化膜 2 及び耐酸化性被膜 3 を通常の化学的エッチング法で除去し、アクティブ領域 1a と上記第 3 のトレンチ 18 の全内面とに酸化処理を施し、トランスファ Tr のゲート絶縁膜 (SiO_2) 19 を形成する。

なお、上記第 3 のトレンチ 18 の深さは、例えば第 2 のトレンチ 12 の深さが $1.0 \mu\text{m}$ 、トランスファ Tr の一端とセルキャパシタ 10 とのコンタクト部 13a の縦幅が $0.5 \mu\text{m}$ とすれば $0.5 \mu\text{m}$

23

層 27 及びパッシベーション膜 28 を形成する事により図示の如き最終構造が得られる。ここで 4, 12, 18 は夫々第 1, 第 2, 第 3 のトレンチを示している。

なお上記ゲート電極 20 は、ワード線 (図示せず) 及び周辺トランジスタと同時形成可能である。また本実施例においては 1 素子型のメモリ素子を中心に述べたが、本発明の技術的思想からすれば多素子を含むダイナミックメモリ集積回路及びその製造方法への適用も勿論可能である。

〔発明の効果〕

以上詳細に説明したように、本発明によれば、セルキャパシタをアクティブ領域に近接して設けられた第 1 のトレンチ内に絶縁分離膜を介して配置する為、特に深さを増大する事により小占有面積で大容量セルキャパシタを形成する事ができるという効果がある。

また、トランスファ Tr の大部分を上記セルキャパシタに隣接して、即ちセルキャパシタのアクティブ領域側の側壁部に形成する為、セルキャパシ

となる。また、第 3 のトレンチ 18 の幅は第 2 のトレンチ 12 の幅が $0.5 \mu\text{m}$ とすれば、マスク合せ余裕分を含め $0.8 \mu\text{m}$ 程度であれば良い。

そして、第 5 の導電性ポリシリコン (N 型) を全面に被着し第 3 のトレンチ 18 を埋め込んだ後、通常のホトリソ技術を用いてトランスファ Tr のゲート電極 20 を形成し、次にイオン打ち込み、及び熱処理により第 1 の拡散層 (N^+ 型) 2、及びコンタクト部 (N^+ 型) 13a からの不純物拡散による第 2 の拡散層 (N^+ 型) 22 とを形成したのが同図(j)である。これによりシリコン基板 1、ゲート絶縁膜 19、ゲート電極 20、第 1 及び第 2 の拡散層 21, 22 を主構成とするトランスファ Tr 23 が形成される事となる。

その後同図(k)に示す如く、常法によりゲート電極 20 及び第 1 の拡散層 21 保護用の第 3 の絶縁膜 (SiO_2) 24 を形成し、CVD 法により中間絶縁膜 25 を被着し、第 1 の拡散層 21 と A2 から成る金属配線層 (ビット線) 27 とを接続する第 2 のコンタクトホール 26 を開孔し、更に金属配線

24

タの埋め込み形成と相まつてメモリセルを小占有面積に形成する事ができるという効果がある。

さらに、トランスファ Tr の大部分及びセルキャパシタをシリコン基板内に埋め込み形成する為、上層の中間絶縁膜、金属配線層及びパッシベーション膜等の積層膜の表面が平坦化されるので段切れが抑制でき、高信頼度化が図れるという効果がある。

また特に製造方法の観点からすれば、メモリセルの小占有面積化はトレンチ形成を利用するものであり、この為表面の平坦性が維持されるので、ゲート電極、電極配線層等の下層構成要素は勿論、中間絶縁膜、金属配線層等の上層構成要素を形成する場合、ホトリソ工程においてマスク合せが容易となり、微細パターンも高精度に形成する事ができるという効果がある。

このように本発明は、小占有面積で大容量セルキャパシタを得る事ができるので、S/N 比及び α 防衛に優れた 1 M ビット以上の超高密度のダイナミックメモリ LLSI 及びその製造方法に広く

適用でき、更に16Mビット、64Mビット等の超大容量メモリLSIをも実現する事ができるのであり、極めて高い工業的利用価値を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例の説明図、第2図は従来例の説明図、第3図は従来例の欠点を説明する断面図である。

1…シリコン基板(P型)、1a…アクティブ領域、4…第1のトレンチ、5…フィールド酸化膜(SiO_2)、6…絶縁分離膜(SiO_2)、7…第1の導電性ポリシリコン(N型)、7a…第1のセル電極、8…セルゲート用絶縁膜(Si_3N_4)、8a…セルゲート絶縁膜(Si_3N_4)、9…第2の導電性ポリシリコン(N型)、9a…第2のセル電極、10…セルキャパシタ、11…第1の絶縁膜(SiO_2)、12…第2のトレンチ、13…第3の導電性ポリシリコン(N^+ 型)、13a…コンタクト部(N^+ 型)、14…第1のコンタクトホール、15…電極配線層、17…第2の絶縁膜(SiO_2)、18…第3のトレンチ、19…ゲート絶縁膜(SiO_2)、20…ゲート電極、21…第1の拡散層(N^+ 型)、22…第2の拡散層(N^+ 型)、23…トランスファゲートトランジスタ、24…第3の絶縁膜(SiO_2)、25…中間絶縁膜、26…第2のコンタクトホール、27…金属配線層(AL)、28…パッシベーション膜。

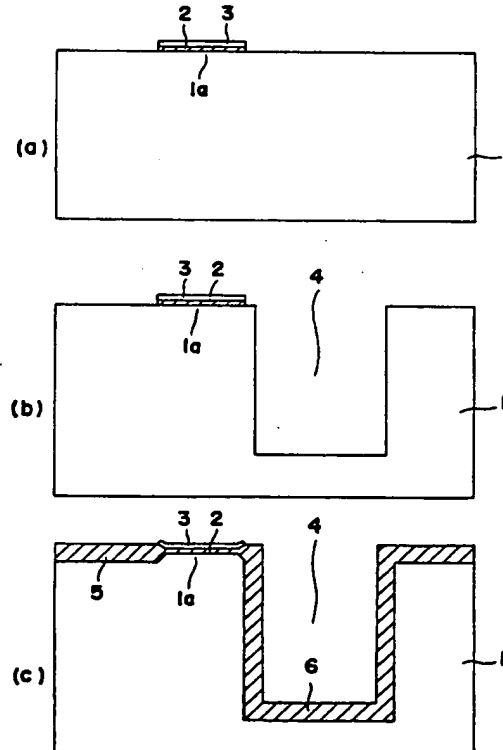
特許出願人 沖電気工業株式会社

代理人 弁理士 菊 池 弘

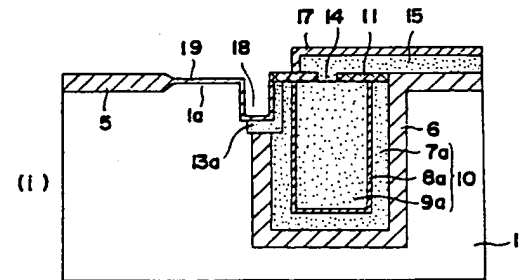
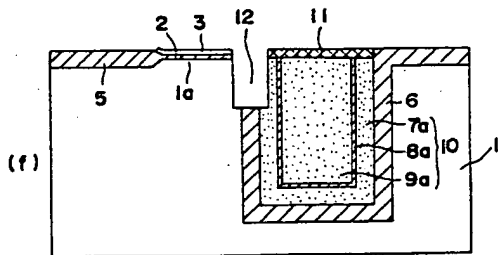
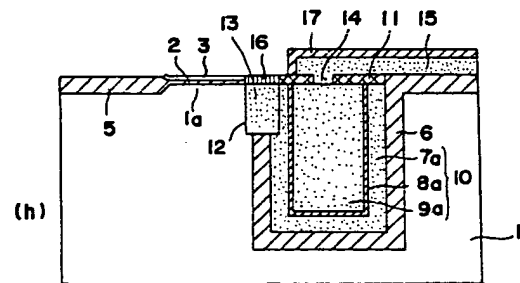
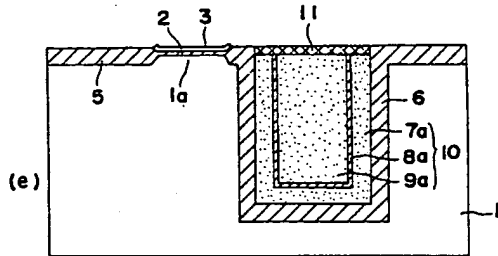
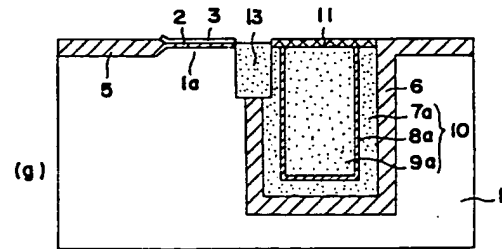
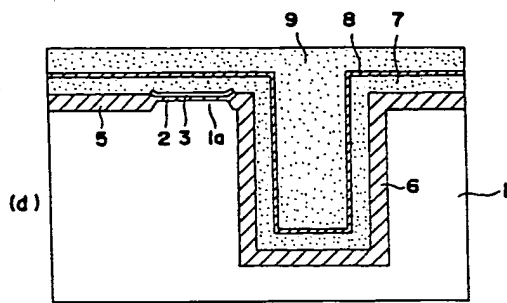


27

28

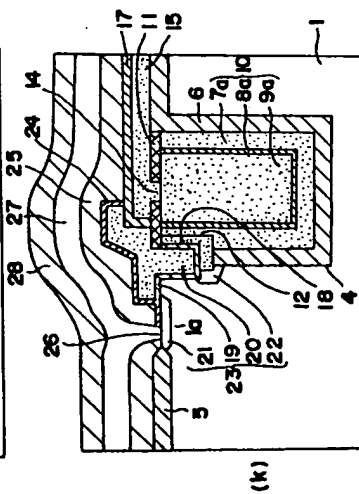
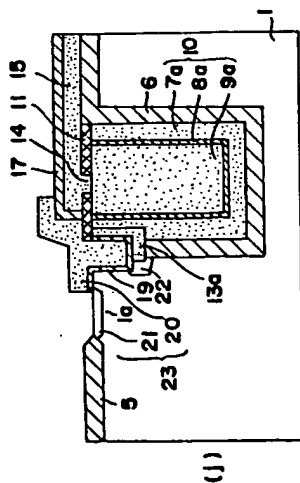


本発明の説明図
第1図



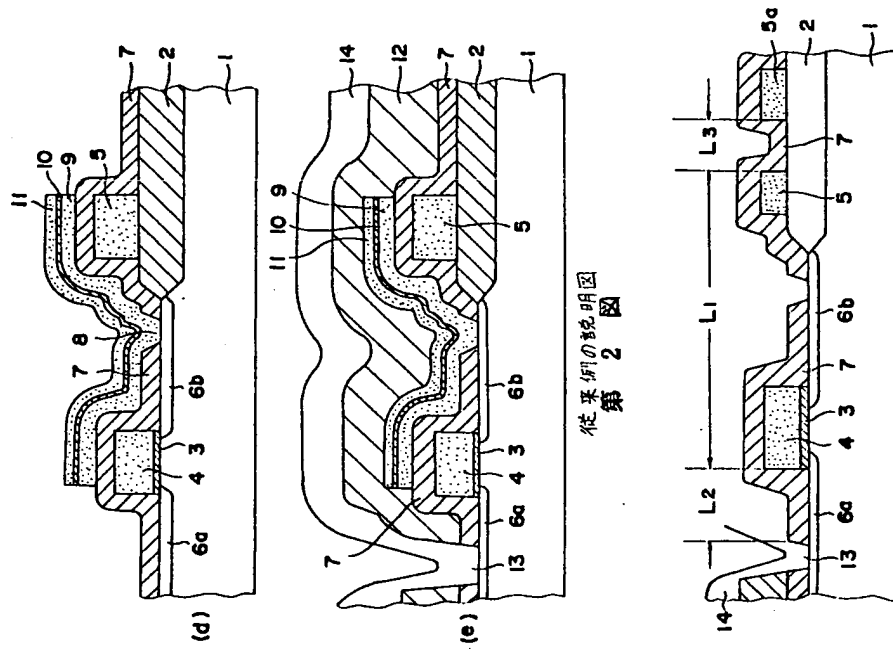
本発明の説明図
第 1 図

本発明の説明図
第 1 図



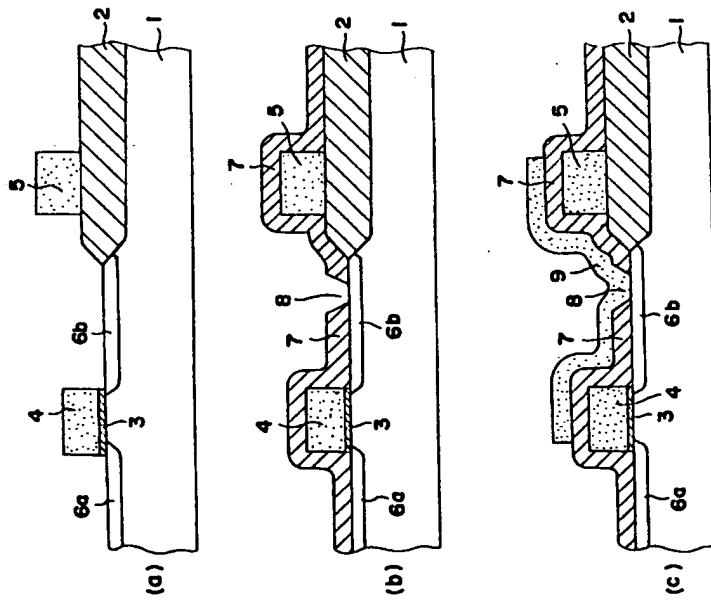
1: シリコン基板 (P型) 1a: 第1のトンネル 4: 第1のトンネル
5: ガリウム砒素 (GaAs) 6: 絶縁層 (SiO₂) 7: 第1のトンネル (N型)
8: シリコン (Si) 9: 第2のトンネル (N型) 10: シリコン (Si) 11: シリコン (Si)
12: 第2のトンネル (N型) 13: 第3のトンネル (N型) 14: シリコン (Si)
15: シリコン (Si) 16: シリコン (Si) 17: シリコン (Si)
18: シリコン (Si) 19: シリコン (Si) 20: シリコン (Si)
21: シリコン (Si) 22: シリコン (Si) 23: シリコン (Si)
24: シリコン (Si) 25: シリコン (Si) 26: シリコン (Si)
27: シリコン (Si) 28: シリコン (Si) 29: シリコン (Si)

本発明の説明図
第 1 図



従来例の説明図
第 2 図

従来例の欠点を説明する横断断面図
第 3 図



従来例の説明図
第 2 図

手 続 補 正 書

昭和61年 7 月 18 日

特許庁長官 黒 田 明 雄 殿

1. 事件の表示

昭和 60 年 特 許 願 第 2 5 7 6 5 5 号

2. 発明の名称

半 導 体 装 置 及 び そ の 製 造 方 法

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 沖 電 気 工 業 株 式 会 社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第19表に
弁理士 菊 池 弘
コード第6568号 電話 501-2453(代表)



5. 補正命令の日付 昭和 年 月 日 (自発的)

6. 補正の対象

明 細 書 の 発 明 の 詳 細 な 説 明 の 欄

7. 補正の内容

~~別紙の通り~~

- (1) 明細書の下記の個所に記載の「LLSI」を
「ULSI」と訂正する。

第26頁20行、第27頁2行

特許庁
61.7.18